

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11311643 A

(43) Date of publication of application: 09.11.89

(51) Int. Cl.

G01R 19/00
G01R 19/165

(21) Application number: 10378185

(22) Date of filing: 21.12.88

(30) Priority: 19.12.97 US 97 68176

(71) Applicant:

TEXAS INSTR INC <TI>

(72) Inventor:

KOELLING JEFFREY E
JUNG CHE C

(54) VOLTAGE DETECTION CIRCUIT

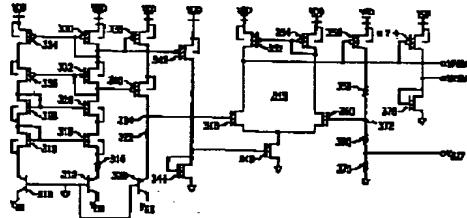
(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a voltage detection circuit which is stable.

SOLUTION: In a voltage detection circuit, a first reference voltage 324, a first differential amplifier 349 in which an inverting input connected to the first reference voltage 324, a non-inverted input and an output are provided, a first transistor 356, in which a control terminal connected to the output of the first differential amplifier 349, a first current terminal connected to a power supply and a second current terminal connected to the noninverting input of the first differential amplifier 349 are provided, a first load 358 in which a first terminal connected to the second current terminal of the first transistor 356 and a second terminal are provided, a second load 360 in which a first terminal connected to the second terminal of the first load 358 and a second terminal connected to a second reference potential are provided, a second differential amplifier 391 in which an inverting input, a non-inverted input connected to the first terminal of the second load 360 and a detection output are provided, a second transistor 382 in which a control terminal connected to the output of the first differential amplifier 349, a first current terminal connected to the power supply and a second current terminal connected to the inverting input of the second differential amplifier

391 are provided, and third loads 386, 384 in which a first terminal connected to the inverting input of the second differential amplifier 391 and a second terminal connected to the detection point of a voltage level are provided are contained.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 1 1 6 4 3

(43)公開日 平成11年(1999)11月9日

(51) Int. Cl. ⁶
G01R 19/00
19/165

識別記号 庁内整理番号

F I
G01R 19/00
19/165

技術表示箇所

審査請求 未請求 請求項の数 9 Q.L. 外国語出願 (全 33 頁)

(21) 出願番号 特願平10-378195

(22)出願日 平成10年(1998)12月21日

(31) 優先權主張番号 068176

(32) 優先日 1997年12月19日

(33) 優先権主張国 米国 (U.S.)

(71) 出願人 5 9 0 0 0 0 8 7 9

テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 135
00

(72)発明者 ジェフリー イー. ケーリング
アメリカ合衆国 テキサス州ダラス, プ
ストン ロード 19019, アパート
ント 522
(74)代理人 弁理士 浅村 譲 (外3名)

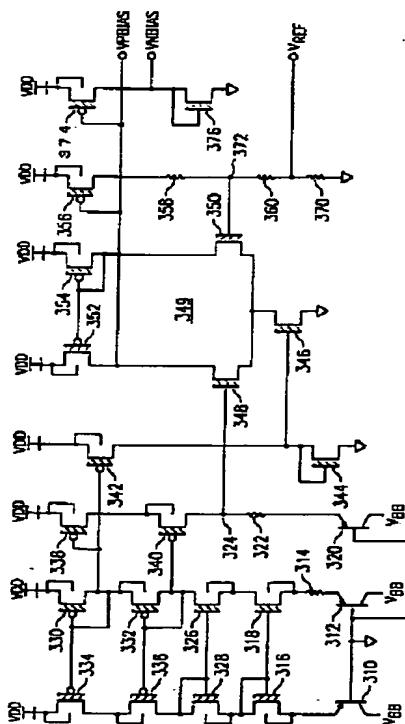
最終頁に続く

(54) 【発明の名称】 電圧検出回路

(57) 【要約】

【課題】 安定な電圧検出回路を得る。

【解決手段】 本回路は、第1基準電圧324、第1基準電圧へつながる反転入力、非反転入力、出力を有する第1差動増幅器349、第1差動増幅器出力へつながる制御端子、電源へつながる第1電流端子、第1差動増幅器非反転入力へつながる第2電流端子を有する第1トランジスタ356、第1トランジスタ第2電流端子へつながる第1端子と、第2端子とを有する第1負荷358、第1負荷第2端子へつながる第1端子、第2基準電位へつながる第2端子を有する第2負荷360、反転入力、第2負荷第1端子へつながる非反転入力、検出出力を有する第2差動増幅器391、第1差動増幅器出力へつながる制御端子、電源へつながる第1電流端子、第2差動増幅器反転入力へつながる第2電流端子を有する第2トランジスタ382、第2差動増幅器反転入力へつながる第1端子、電圧レベル検出地点へつながる第2端子を有する第3負荷386、384を含む。



【特許請求の範囲】

【請求項 1】 集積回路中の電圧レベルを検出するための回路であって、

第 1 基準電圧、

前記第 1 基準電圧へつながれた反転入力端子、非反転入力端子、および出力端子を有する第 1 差動増幅器、
前記第 1 差動増幅器の前記出力端子へつながれた制御端子を有し、電圧供給端子へつながれた第 1 電流ハンドリング端子を有し、更に前記第 1 差動増幅器の前記非反転入力端子へつながれた第 2 電流ハンドリング端子を有する第 1 パー

トランジスタ、
前記第 1 パー
トランジスタの前記第 2 電流ハンドリング端子へつながれた第 1 端子と、第 2 端子とを有する第 1 負荷デバイス、

前記第 1 負荷デバイスの前記第 2 端子へつながれた第 1 端子と、第 2 基準電圧へつながれた第 2 端子とを有する第 2 負荷デバイス、

反転入力端子、前記第 2 負荷デバイスの前記第 1 端子へつながれた非反転入力端子、および電圧検出出力信号を供給する出力端子を有する第 2 差動増幅器、

前記第 1 差動増幅器の前記出力端子へつながれた制御端子を有し、前記電圧供給端子へつながれた第 1 電流ハンドリング端子を有し、更に前記第 2 差動増幅器の前記反転入力端子へつながれた第 2 電流ハンドリング端子を有する第 2 パー
トランジスタ、および前記第 2 差動増幅器の前記反転入力端子へつながれた第 1 端子を有し、電圧レベルを検出すべき場所へつながれた第 2 端子を有する第 3 負荷デバイスを含む電圧検出回路。

【請求項 2】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 1 負荷デバイスが抵抗である電圧検出回路。

【請求項 3】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 2 負荷デバイスが抵抗である電圧検出回路。

【請求項 4】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 3 負荷デバイスが抵抗である電圧検出回路。

【請求項 5】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 1 パートランジスタが電界効果トランジスタである電圧検出回路。

【請求項 6】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 2 パートランジスタが電界効果トランジスタである電圧検出回路。

【請求項 7】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 1 基準電圧が、回路であって
バンドギャップ電流発生器、

前記バンドギャップ電流発生器へつながれたカレントミラーであって、前記バンドギャップ電流発生器中で発生した電流に比例する電流を電流出力端子へ供給するカレントミラー、および前記電流出力端子へつながれた第 1

端子と、第 3 基準電圧へつながれた第 2 端子とを有する負荷デバイス、を含む回路から供給されるようになった電圧検出回路。

【請求項 8】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記第 3 基準電圧が、バイポーラトランジスタのベースを前記第 2 基準電圧へつなぎ、前記バイポーラトランジスタのエミッターを前記負荷デバイスの前記第 2 端子へつなぐことによって供給されるようになった電圧検出回路。

【請求項 9】 請求項 1 記載の電圧検出回路であって、ここにおいて、前記負荷デバイスが抵抗である電圧検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は集積回路中の電圧検出に関するものであって、更に詳細には、チップ上で発生した電圧レベルの検出と、チップ上で発生したそれら電圧の制御とに関する。

【0002】

20 【従来の技術】 最新の集積回路では、適正な動作のために数多くの電圧レベルが必要とされる。しかし、集積回路の入力／出力接続システムを簡略化するために（すなわち、ピン数を最小化するために）、顧客は 1 本のアースピンと 1 本の電力供給入力ピンとを備える非常に簡略化された電源を要求する。集積回路の製造業者はこれに応えて、要求特性を満足するためにチップ上で電圧を発生する集積回路を提供するようになった。そのようなチップ上での電圧発生器は、電圧を昇圧したり、または電圧を適切なレベルに下げたりするために電流ポンプ等の装置を使用する。そのような電圧発生器は、集積回路上へ正しい電圧を提供できるために注意深く調整される必要がある。

【0003】

【発明の解決しようとする課題】 図 1 は、一般に V_{DD} と呼ばれる、電源電圧よりも高く昇圧される電圧の電圧レベルを決定するための従来技術による電圧制御装置の模式図である。 V_{DD} は P チャンネルトランジスタ 10 のドレインへつながっている。P チャンネルトランジスタ 10 のゲートは P チャンネルトランジスタ 10 のソースへつながっている。P チャンネルトランジスタ 10 のソースは P チャンネルトランジスタ 12 のドレインへつながっている。トランジスタ 12 のゲートは基準電位 V_{REF} へつながっている。トランジスタ 12 のソースは P チャンネルトランジスタ 14 のドレインへつながれ、後者のゲートはアース電位へ、またそのソースもアース電位へつながれている。この構成において、もしもトランジスタ 12 のソース電圧が V_{REF} よりも V_{DD} 1 個分以上高く引き上げられれば、ノード 16 上の電圧は高レベルへブルアップされるが、そうでなければ、ノード 16 の電圧はアース近くへブルダウンされる。

【0004】基準電圧 V_{REF} が N 形トランジスタ 18 のゲートへつながれている。ノード 16 の出力が N 形トランジスタ 20 へつながれている。これらのトランジスタは差動増幅器の形に接続されており、トランジスタ 22 および 24 のゲートへ供給される電圧によってスイッチオンおよびオフされる。P 形トランジスタ 26 および 28 はこの差動増幅器のためのプルアップ電位を供給する。この差動増幅器の出力は、P チャンネルトランジスタ 30 および N チャンネルトランジスタ 31 のゲートへ供給される。トランジスタ 30 および 31 は相補型インバータを提供しており、それは P 形トランジスタ 34 および 36 によってプルアップされ、また N チャンネルトランジスタ 38 および 40 によってプルダウンされる。トランジスタ 22、38、および 34 は幅の狭い低電流トランジスタである。トランジスタ 24、36、および 40 は幅の広い大電流の駆動トランジスタである。トランジスタ 30 および 31 を含むインバータのプルアップ側では、トランジスタ 36 が強いプルアップを提供し、トランジスタ 34 は弱いプルアップを提供する。インバータの対トランジスタ 30 および 31 の出力が高レベルの時は、それはトランジスタ 20 のゲート上の電圧が、トランジスタ 18 のゲート上に供給される V_{REF} よりも低いことを意味する。このことは V_{IN} を適正な電圧レベルへ戻すためにポンピングが必要であることを意味する。

【0005】このように、インバータ 42 の入力へ供給される高電圧は低出力へ反転されて、それが NOR ゲート 44 に高出力をもたらし、それが更にインバータ 46 によって反転されて低出力を提供することになる。この低出力は、トランジスタ 36 が高いプルアップ電流源を提供し続けるように働く。インバータ 46 の出力はインバータ 48 によって反転されて高電圧を提供し、それがトランジスタ 34 をオフにする。トランジスタ 36 はより大きい駆動電流を提供する能力を有するので、このシステムは、“オン”信号を提供するためのバイアスを回路中に提供し、またそれによって V_{IN} を発生する発生器のためのポンピングを提供する。同様にして、トランジスタ 24 および 40 のゲートへ供給される許可信号（イネーブル、ENABLE）は、その信号が提供される時に、トランジスタ 24 および 40 がより強力なプルダウン機能を提供し、それによってより高速な動作を提供できるようになる。

【0006】入力 V_{IN} は、集積回路の高度な利用において指示される各種状態のもとで、回路に対するオーバーライドを提供する。 V_{IN} が高レベルの時は、インバータ 50 の出力は低レベルであり、それはインバータ 42 によって提供される入力の如何に関わらず、NOR ゲート 44 の出力を高レベルにする。

【0007】トランジスタ 10 および 12 のスレッショルド電圧が図 1 の電圧検出器のトリガー点を決定する。

スレッショルド電圧は、図 1 の回路を含む集積回路の製造時のプロセス変動によって変化するし、また回路の動作温度によっても変化する。従って、トリガーポイントは正確に設定できない。従って、図 1 の従来技術は、現代の高密度、従って高感度の集積回路に対して必要とされるプロセス変動および温度変動に直面して安定性を保てない。

【0008】図 2 は従来技術による別の V_{IN} 検出器の模式図である。 V_{IN} は P チャンネルトランジスタ 110 のソースへつながれている。トランジスタ 110 のゲートは基準電圧 V_{REF} へつながれている。トランジスタ 110 のドレインは P チャンネルトランジスタ 112 のソースへつながれている。トランジスタ 112 のゲートは検出許可信号へつながれている。検出は、許可信号が低レベルへ移行してトランジスタ 112 をターンオンすることによって許可される。更に、許可信号は N チャンネルトランジスタ 114 のゲートへ供給されて、それをターンオフする。許可信号が高レベルで、検出が禁止されていることを示す時には、トランジスタ 114 がオンで、トランジスタ 116 のゲートがアースへクランプされている。

【0009】許可信号が低レベルの時は、トランジスタ 114 がオフで、ノード 115 上の電圧レベルは V_{IN} の電圧レベルによって決まる。 V_{IN} が V_{REF} よりも V_{IN} 1 個分高く上昇すると、トランジスタ 110 がターンオンして、ノード 115 は高レベルへプルアップされる。ノード 115 上の高電圧はトランジスタ 116 をターンオンさせる。トランジスタ 116 はプルアップトランジスタ 120 と直列につながれており、後者は P 形トランジスタであって、そのゲートをアースへ、またそのソースを電力供給 2 へつながれている。トランジスタ 122 はプルダウントランジスタであって、そのソースはアースへ、またそのゲートは電力供給 2 へつながっている。これら 2 個のトランジスタは比較的高い抵抗を有し、それによってプルアップおよびプルダウンの電流源を提供するように設計される。こうして、ノード 124 の電圧はトランジスタ 116 の状態だけで決まる。トランジスタ 116 がオンの時は、ノード 124 における電圧点は低くプルダウンされ、それによってインバータ 126 が高出力を有し、インバータ 128 が低出力を有するようにされる。電圧変化はトランジスタ 130 によって減衰するが、このトランジスタ 130 はゲートをインバータ 126 の入力へつながれ、またソースおよびドレインをアースへつながれている。これは容量性の機能を提供し、それによってノード 124 における入力に対する時間遅延を提供する。インバータ 126 および 128 はステップダウンラッチ 132 に対して信号を供給し、このラッチは出力をインバータ 134 の入力へ供給するが、この入力はインバータ 126 の入力からの非反転信号である。インバータ 134 の出力はインバータ 136

～
40
30
20
10
～
50

によって反転されて、完全にラッチおよびバッファされた回路出力が得られる。

【0010】図2の回路中で検出される電圧レベルは、トランジスタ2110のスレッショルド電圧に大いに依存する。この特性は、プロセス変動および温度条件に大いに依存する。従って、図2の検出器は最新の高度に集積された集積回路に対して許容できないプロセス変動を与える。

【0011】図3は、従来技術による、 V_{dd} あるいは基板電圧検出器の図である。当該分野では、最も低い供給電圧よりも更に低い基板電圧を提供することが普通に行われる。高レベルの許可信号を提供することで、トランジスタ2110および232をターンオフしながら、図3の検出器が許可される。トランジスタ218のゲートはアースへつながれている。Nチャネルトランジスタ222のゲートもまたアースへつながれている。トランジスタ224および226はそれらのゲートをそれらのドレインへつながれているため、トランジスタ222のソースに対して V_{dd} から V_{dd} 2個分低下した電圧を供給している。トランジスタ222のソースが、所望レベルよりも低下する V_{dd} によって所望レベルからアース下 V_{dd} 1個分プルダウンされる時は、トランジスタ222がオンして、トランジスタ228のゲートはアースへプルダウンされる。こうしてトランジスタ228がオフになる。この低レベルはまた、トランジスタ218を通ってトランジスタ230のゲートへ送られる。後者のトランジスタはPチャネルトランジスタである。これによってPチャネルトランジスタ230がオンする。

【0012】 V_{dd} が上昇して、トランジスタ228がオンするレベルに達すると、インバータ250への入力は低レベルへプルダウンされ、それによってインバータ250の出力は高レベルになる。トランジスタ230、248、228、および246はNANDゲートを構成する。出力をNOT化されたNANDゲートは機能的にはORゲートと等価である。従って、インバータ250とつながれたこのNANDゲートはORゲートを提供する。もし図3の回路が動作すれば、許可バー(ENABLEバー)信号は低レベルとなり、インバータ211の出力は高レベルになる。インバータ250の高出力との組み合わせは、NANDゲート252に低出力を提供させ、 V_{dd} 電圧レベルを下げるために V_{dd} ポンプが作動すべきことを指示する。

【0013】履歴効果を与えるために、図3の回路は二重検出方式を採用している。許可バー信号がトランジスタ232をターンオンする時は、第2の検出器が提供される。トランジスタ212はそのゲートをトランジスタ210、214、および216によって確立される、 V_{dd} からの電圧降下を提供している。 V_{dd} はNチャネルトランジスタ234のソースへつながれており、後者のト

ランジスタのゲートおよびドレインはNチャネルトランジスタ236のソースへつながれている。従って、トランジスタ236のドレインは V_{dd} よりもスレッショルド電圧2個分上にある。トランジスタ236および234は、トランジスタ224および226よりも高いスレッショルド電圧を持つようにドープされる。 V_{dd} のレベルがスレッショルド電圧降下3個分低下する時は、アースへつながれたトランジスタ238のゲートはトランジスタ238のドレインよりもスレッショルド電圧1個分高くなる。 V_{dd} がこの電圧(それはトランジスタ236および234の高いスレッショルド電圧のせいで、トランジスタ222のターンオン点よりも低い)よりも低下すると、トランジスタ240はターンオンし、トランジスタ242はターンオフする。トランジスタ240、242、254、および256はNORゲートを構成し、その1入力はインバータ250の出力であり、他の入力はトランジスタ234、236、および238によって決まる V_{dd} レベルである。

【0014】インバータ250の出力は、トランジスタ240がターンオフし、トランジスタ242がターンオンする(トランジスタ234および236のスレッショルド電圧がより高いので)電圧よりも高い(より負でない)電圧によって高出力へトリガーされるので、インバータ250の出力が高レベルへ移行する時はトランジスタ242は常にオンになる。こうして、インバータ244の入力は低レベルへプルダウンされ、トランジスタ246および248のゲートへ供給される電圧を高レベルへ移行させる。このことは、トランジスタ228および230の状態の如何に関わらずインバータ250に高出力を提供させるため、ラッチ効果を与えることになる。一旦このラッチ効果が生ずると、トランジスタ234、236、および238によって与えられるレベル検出が制御できるようになる。 V_{dd} がトランジスタ238をターンオンするのに十分低く(十分負に)なった時だけ、“ラッチ”は状態を変化させるであろう。

【0015】特定の状況では、電圧レベル検出器によって検出される電圧レベルの如何に関わらず、すべての状況において基板ポンプを遮断しなければならなくなる。そのような状況では、許可バーが高レベルへ持ち上げられて、インバータ250によって供給される入力信号の如何に関わらず、NANDゲート252によって提供される V_{dd} ストップ出力信号を高レベルへ引き上げる。

【0016】図3の回路の動作から容易に理解されるように、この回路はトランジスタ222、224、226、236、234、および238のスレッショルド電圧に大いに依存する。このような特性上の振る舞いはプロセス変動に大いに依存し、従って現代の高密度集積回路の高感度回路において許容できない。

【0017】

【課題を解決するための手段】本発明のここに述べる実

施例は集積回路中の電圧レベルを検出するための回路を含み、その回路には、第1基準電圧、前記第1基準電圧へつながれた反転入力端子、非反転入力端子、および出力端子を有する第1の差動増幅器、前記第1の差動増幅器の出力端子へつながれた制御端子を有し、電圧供給端子へつながれた第1の電流ハンドリング端子を有し、更に前記第1の差動増幅器の非反転入力端子へつながれた第2の電流ハンドリング端子を有する第1トランジスタ、前記第1トランジスタの第2電流ハンドリング端子へつながれた第1端子と、第2端子とを有する第1負荷デバイス、前記第1負荷デバイスの第2端子へつながれた第1端子と、第2基準電位へつながれた第2端子とを有する第2負荷デバイス、反転入力端子、前記第2負荷デバイスの第1端子へつながれた非反転入力端子、および電圧検出出力信号を供給する出力端子を有する第2の差動増幅器、前記第1の差動増幅器の出力端子へつながれた制御端子を有し、前記電圧供給端子へつながれた第1電流ハンドリング端子を有し、更に前記第2の差動増幅器の反転入力端子へつながれた第2電流ハンドリング端子を有する第2トランジスタ、前記第2の差動増幅器の反転入力端子へつながれた第1端子を有し、電圧レベルが検出されるべき場所へつながれた第2端子を有する第3負荷デバイスが含まれている。これによって高度に安定な電圧検出システムが得られる。

【0018】

【発明の実施の形態】図4は本発明の一実施例の模式図である。図4は、PNPトランジスタ310および312、抵抗314、およびNチャンネルトランジスタ316および318によって提供されるバンドギャップ電流レベル設定機構を含んでいる。トランジスタ312は、同じスレッショルド電圧レベルにおいてトランジスタ310よりもずっと大きい電流容量を有するように選ばれる。トランジスタ310および312のコレクターは基板 V_{EE} 電位へつながれている。トランジスタ310および312の V_{EE} 電圧がトランジスタ310および312を流れる電流を設定する。キルヒホフ則に従えば、閉じた経路に沿っての電圧の合計はゼロに等しい。従って、トランジスタ310および312の V_{EE} に抵抗314両端での電圧降下を加え、更にトランジスタ318および316の V_{EE} を加えるとゼロにならなければならぬ。また、トランジスタ310の V_{EE} およびトランジスタ316の V_{EE} と、これらのトランジスタを流れる電流との間には一定の関係がある。同様に、トランジスタ312の V_{EE} 、抵抗314両端の電圧降下、およびトランジスタ316の V_{EE} と、これらのトランジスタおよび抵抗を流れる電流との間にも一定の関係がある。これらの方程式を解くことで单一解が求まる。このように、このバンドギャップ回路は、トランジスタ310および312を流れる高度に安定した電流を提供する。

【0019】トランジスタ312を流れる高度に安定し

た電流はまた、抵抗330および332中をも流れる。この電流はトランジスタ338および340に対してミラー複製(mirror)される。ミラー複製された電流は抵抗322両端に電圧降下をもたらし、それはトランジスタ320の V_{EE} 電圧降下と一緒にになってノード324における電圧を設定する。

【0020】324における電圧点は、それが抵抗314と322との相対的抵抗値レベルに依存するため、高度に安定している。プロセス変動は抵抗314と322

10 とで同じように作用するため、ノード324に設定される電圧レベルは非常に安定である。例えば、もし抵抗314の抵抗値が下がれば、トランジスタ312を流れる電流が増えて、トランジスタ338および340へミラー複製される電流も増大する。しかし、抵抗322の抵抗値もまた抵抗314と同じプロセス変動に従って変動するので、その抵抗値も低下しているであろう。従つて、トランジスタ338および340を流れるより大きい電流は抵抗322の低下した抵抗値によってうち消されよう。

20 【0021】トランジスタ342へミラー複製される電流はトランジスタ344を流れる。この電流はトランジスタ346へミラー複製され、後者のトランジスタはトランジスタ348および350で構成される差動増幅器349を駆動する。トランジスタ348は、そのゲートへの入力として、ノード324に設定された高度に安定な電圧レベルを受け取る。トランジスタ348および350で構成される差動増幅器対は、トランジスタ352および354によってブルアップ電流を供給される。抵抗358、360、および370を流れる電流がトランジスタ350のゲートへの入力電圧を設定する。これら

30 抵抗を流れる電流はトランジスタ356によって設定される。もしもトランジスタ350のゲート電圧がトランジスタ348のゲート電圧を越えれば、トランジスタ346を流れる電流はトランジスタ350を通るように迂回することによって、トランジスタ356のゲートをトランジスタ352によって供給される電流を通してより高レベルへブルアップさせる。これによって抵抗360および370両端の電圧降下は、ノード372の電圧がノード324へ供給されるものと正確に等しくなる

40 まで低下する。こうして、トランジスタ348および350によって構成される差動増幅器は、正確に等価な電圧を供給しながら、ノード324をノード372から分離する。この分離によって、抵抗370両端の電圧降下によって提供される V_{EE} に関する活動が、ノード324によって確立される正確な電圧に影響を及ぼすことが防止される。更に、差動増幅器349に影響するプロセスおよび温度の変動も、以下に説明するように、図5の差動増幅器391または図6の差動増幅器421に影響する同じ変動によって正確にうち消される。

50 【0022】これに加えて、トランジスタ356に適切

な電流を流すゲート電圧レベルがトランジスタ 374 のゲートへ供給されて、後者のトランジスタはトランジスタ 374 およびバイアストランジスタ 376 を通してほぼ同様な電流を流すように働く。トランジスタ 374 のゲートからの出力は、図 5 および図 6 の回路において P 形フルアップトランジスタをバイアスするための V_{PBIA}S を提供し、トランジスタ 376 のゲート電圧は同じくブルダウントランジスタをバイアスするための V_{VNBIA}S を提供する。

【0023】図 5 は本発明の引き続く一実施例の模式図であって、それは V_{EE} の電圧レベルを検出するための検出器を含んでいる。図 4 からの V_{VNBIA}S および V_{PBIA}S がそれぞれ、トランジスタ 380 および 382 のゲートへ供給される。V_{VNBIA}S および V_{PBIA}S はそれらのトランジスタに対してバイアスを供給し、それによってそれらは流れる電流を図 4 のトランジスタ 374 および 376 中へミラー複製する。V_{EE} は抵抗 384 および 386 へつながれている。製造しやすいように（それが本当の理由だろうか？）、V_{EE} とノード 388 との間の抵抗は 2 つの抵抗に分割される。V_{PBIA}S を通して電流レベルが固定レベルに設定されるため、ノード 388 の電圧は抵抗 386 および 384 両端の電圧降下分だけ V_{EE} よりも高いレベルに固定されよう。これは、電圧降下が抵抗 384 および 386 を流れる固定電流とそれらの固定された直列抵抗値との積であるからである。抵抗 370 (図 4) と、抵抗 386 および 384 に影響するプロセス変動は、温度またはその他のプロセス変動によるものとほとんど等しい変動を与えるであろう。従って、それらのプロセス変動はこの電圧検出器の動作において打ち消し合う傾向を持つであろう。

【0024】ノード 388 の電圧はトランジスタ 390 のゲートへ送られる。V_{EE} がトランジスタ 392 のゲートへつながるゲートへ送られる。トランジスタ 390 および 392 は差動増幅器を構成し、それによってノード 388 の電圧がトランジスタ 392 のノードの電圧レベルよりも低下する時には、トランジスタ 390 がターンオフし始めて、インバータ 394 へ供給される電圧がフルアップトランジスタ 396 によってフルアップされるのを許容するようになっている。高電圧はインバータ 394 の出力を 0 へ移行させて、V_{EE} が低レベルへポンピングされたこと、そして V_{EE} ポンプはターンオフすべきことを表示する。もしもノード 388 の電圧が上昇しそうなれば、インバータ 394 の入力電圧がトランジスタ 390 を介して低レベルへブルダウンされて逆の効果がもたらされ、V_{EE} ポンプはターンオンされよう。

【0025】図 6 は本発明の相補的構成であり、図 4 の回路から供給される同じ基準電圧を用いて V_{EE} の検出が可能となっている。図 4 からの V_{VNBIA}S がトランジスタ 410 および 412 のゲートへ送られる。V_{EE} は抵抗 414 および 416 へつながれて、それらの抵抗はト

ランジスタ 410 を流れる電流のために V_{EE} からノード 418 への電圧降下を引き起こす。ノード 418 の電圧はトランジスタ 420 のゲートへ供給されて、また図 4 からの V_{EE} がトランジスタ 422 のゲートへ供給されている。V_{EE} が、ノード 418 の電圧によって示されるように、所望レベル以上に上昇した時は、トランジスタ 420 がより多くの電流を引き出すことで、インバータ 424 の入力を低レベルへ移行させる。こうして、インバータ 424 の出力は高レベルへ移行して過電圧状態を表示し、V_{EE} を供給している電圧ポンプを停止すべきことを表示する。ノード 418 の電圧が電圧基準以下に低下して、V_{EE} が低すぎることを表示する時は、トランジスタ 420 の電流引き出しの強さが低下して、インバータ 424 の入力はトランジスタ 426 を介してフルアップされることが許容される。トランジスタ 428 は差動増幅器の他方の入力に対する負荷として機能する。

【0026】図 6 の装置の自己修正機構は図 5 の装置の自己修正機構よりも幾分複雑である。もしプロセス変動または温度変動によってトランジスタ 414 および 416 の抵抗値が低下すれば、抵抗 358、360、および 370 の抵抗値も、同じプロセスおよび温度変動が同じように影響するため低下しているはずである。こうして、図 4 のノード 372 の同じ固定電圧で以て、トランジスタ 356 を流れる電流はより大きくなるであろう。このより大きい電流はトランジスタ 374 (図 4) へミラー複製されて、それはトランジスタ 376 (図 4) からトランジスタ 410 (図 6) へミラー複製される。トランジスタ 410 を流れるより大きい電流は抵抗 414 および 416 のより低い抵抗値をうち消して、抵抗 414 および 416 両端の電圧降下を適正な値とし、トランジスタ 420 のゲートにおける正しい電圧レベルを表示する。

【0027】図 7 は電圧グラフであって、ここで V_{EE} は 0 ボルトから、アース以下の -2 ボルトまで変化させた。この図は、V_{EE} が変化するとノード 388 の電圧がこの電圧とともに線形に変化することを示している。この図はまた、ノード 388 の電圧が V_{EE} を通過する時に、ノード 395 における出力が 1 値から 0 値へと変化し、また逆に、ノード 388 の電圧が再び V_{EE} 以上へ移行する時には、0 値から 1 値へと変化することを示している。この図は図 5 の回路の動作を示している。

【0028】同様に、図 8 は図 6 に示された電圧検出機構の動作を示している。この実験において、V_{EE} は 2.4 ボルトから 3.8 ボルトへ上昇し、再び 2.4 ボルトへ戻ることを許容されている。2.4 ボルトはこの集積回路の供給電圧にほぼ等しい。この図から分かるように、ノード 418 の電圧は V_{EE} の電圧を線形に追尾しており、ノード 418 の電圧が V_{EE} を通過する時に、ノード 425 におけるインバータ 424 からの出力が 0 ボルト状態から 1 値を示す 2.4 ボルト状態へ変化するこ

とを示している。更に、ノード 418 の電圧が V_{REF} を通過して V_{REF} 以下へ低下する時には、ノード 425 における出力は 1 電圧から 0 電圧へと変化して、そうすることによって V_{DD} の電圧の正しい電圧検出を提供している。

【0029】重要なことは、本発明のここに説明した実施例が複数の差動増幅器を含んでおり、そこにおいて、回路中の 2 個の差動増幅器の同一機能入力に対して電圧基準入力が供給されることである。例えば、図 4 のノード 324 は差動増幅器 349 の反転入力へつながれ、また図 5 のノード 388 は差動増幅器 391 の反転入力へつながれている。更に、 V_{REF} は差動増幅器 349 および 391 の非反転入力を介して転送されている。この構成において、このシステムの一方の差動増幅器の特性を変更するプロセス変動または温度効果は、他方の差動増幅器に対する同じ変動または効果によってうち消される。これによって最新の超大規模集積回路の要求に応える高度に安定な回路を提供することができる。

【0030】本発明は特定の実施例を用いて説明してきたが、本発明のその他の実施例が当業者には明らかであろう。例えば、本発明の開示実施例は、 V_{DD} および V_{SS} を検出するための検出器を示しているが、電圧検出というものは幅広く利用される技術であって、適当な回路で与えられる任意の電圧を検出するために使用しても構わない。本発明はここに開示する本発明の特許請求の範囲によってのみ制約される。

【図面の簡単な説明】

- 【図 1】従来技術の電圧レベル検出器の模式図。
- 【図 2】従来技術の電圧レベル検出器の模式図。
- 【図 3】従来技術の電圧レベル検出器の模式図。
- 【図 4】本発明の一実施例の一部分の模式図。
- 【図 5】図 4 に関連して説明される実施例の V_{DD} 検出器部分の模式図。

【図 6】図 4 の模式図に関連して提供される本発明の一実施例の V_{DD} 検出器部分の模式図。

- 【図 7】図 5 の回路の動作を示す信号チャート。
- 【図 8】図 6 の回路の動作を示す信号チャート。

【符号の説明】

- 10, 12, 14 P チャンネルトランジスタ
- 18, 20 N チャンネルトランジスタ
- 22, 24 N チャンネルトランジスタ
- 26, 28 P チャンネルトランジスタ
- 30 P チャンネルトランジスタ
- 31 N チャンネルトランジスタ
- 34, 36 P チャンネルトランジスタ
- 38, 40 N チャンネルトランジスタ
- 42 インバータ
- 44 NOR ゲート
- 46, 48, 50 インバータ
- 110, 112 P チャンネルトランジスタ

114, 116	N チャンネルトランジスタ
120	P チャンネルトランジスタ
122	N チャンネルトランジスタ
126, 128	インバータ
130	N チャンネルトランジスタ
132	ラッチ
134	インバータ
210	P チャンネルトランジスタ
211	インバータ
212, 214, 216, 218	P チャンネルトランジスタ
222, 224, 226, 228	N チャンネルトランジスタ
230, 232	P チャンネルトランジスタ
234, 236, 238	N チャンネルトランジスタ
240	P チャンネルトランジスタ
242	N チャンネルトランジスタ
244	インバータ
246	N チャンネルトランジスタ
248	P チャンネルトランジスタ
250	インバータ
252	NAND ゲート
254	P チャンネルトランジスタ
256	N チャンネルトランジスタ
310, 312	PNP トランジスタ
314	抵抗
316, 318	N チャンネルトランジスタ
320	PNP トランジスタ
322	抵抗
328	N チャンネルトランジスタ
330, 332, 334, 336, 338, 340, 342	P チャンネルトランジスタ
344, 346, 348	N チャンネルトランジスタ
349	差動増幅器
350	N チャンネルトランジスタ
352, 354, 356	P チャンネルトランジスタ
360, 370	抵抗
374	P チャンネルトランジスタ
376	N チャンネルトランジスタ
380	N チャンネルトランジスタ
382	P チャンネルトランジスタ
384, 386	抵抗
390	N チャンネルトランジスタ
391	差動増幅器
392	N チャンネルトランジスタ
394	インバータ
396, 397	P チャンネルトランジスタ
410, 412	N チャンネルトランジスタ
414, 416	抵抗
420	N チャンネルトランジスタ

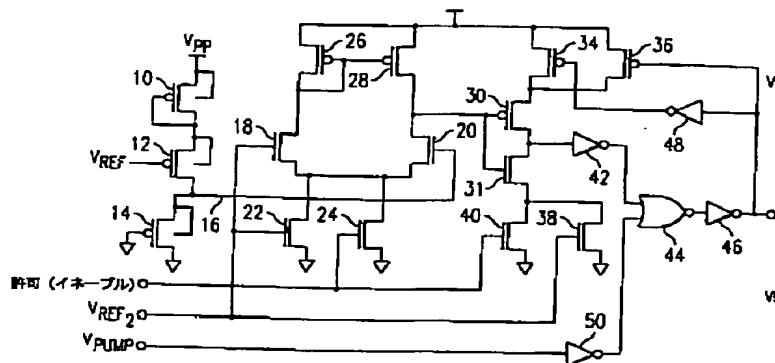
421 差動増幅器

424 インバータ

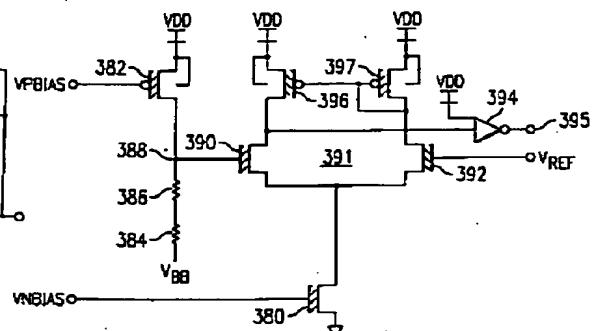
422 Nチャンネルトランジスタ

426, 428 Pチャンネルトランジスタ

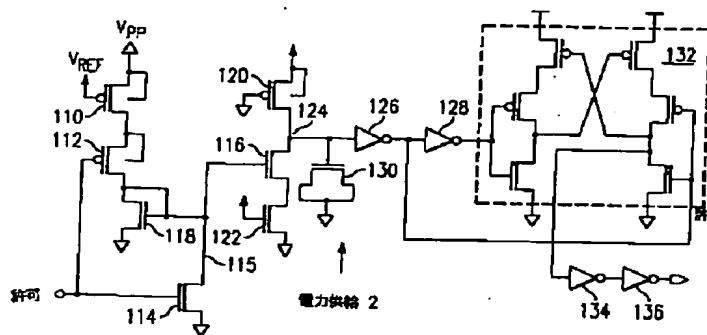
【図 1】



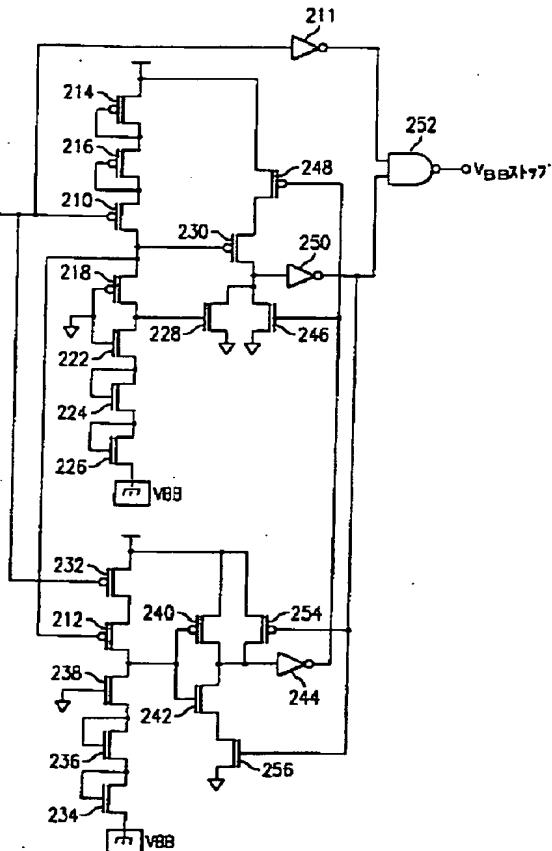
【図 5】



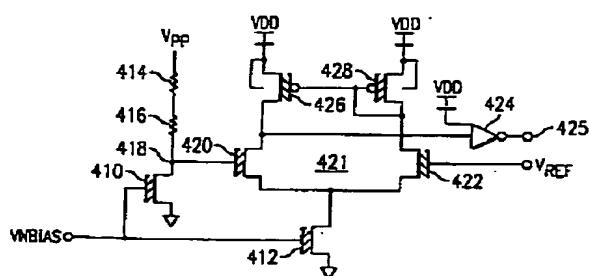
【図 2】



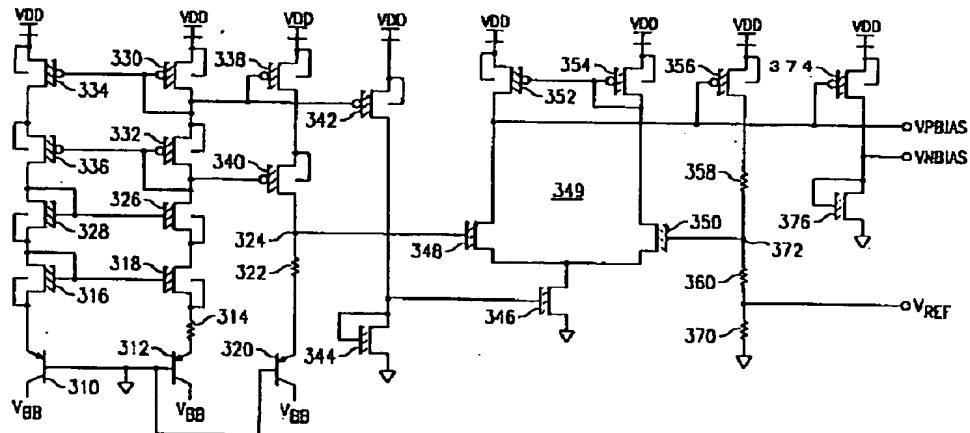
【図 3】



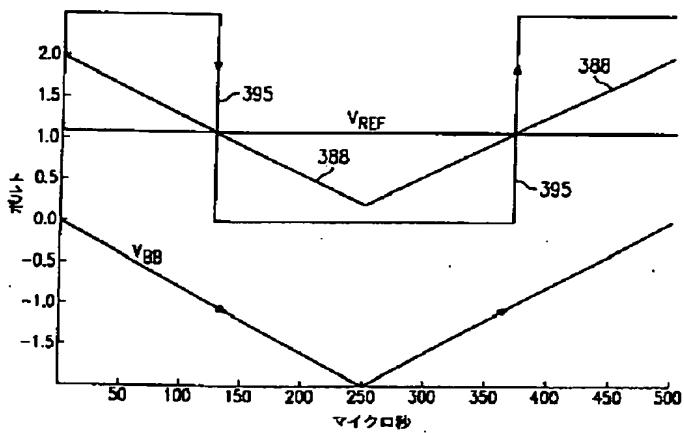
【図 6】



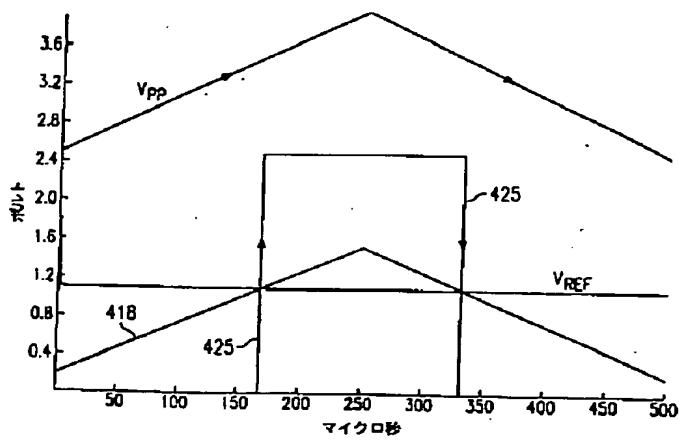
【図 4】



【図 7】



【図 8】



フロントページの続き

(72)発明者 ユング - チエ シー
アメリカ合衆国 テキサス州プラノ, リオ
グランデ ドライブ 1515, アパー
トメント 1306